




# DEVICE WITH SECURITY INTEGRATED CIRCUIT AND METHOD FOR MAKING SAME

**Patent number:** WO9912204  
**Publication date:** 1999-03-11  
**Inventor:** BONVALOT BEATRICE [FR]; LEYDIER ROBERT [FR]  
**Applicant:** SCHLUMBERGER IND SA [FR];; BONVALOT BEATRICE [FR];; LEYDIER ROBERT [FR]  
**Classification:**  
- **International:** H01L23/58  
- **European:** G06K19/073; G06K19/077; G06K19/077K; H01L23/58B  
**Application number:** WO1998FR01761 19980806  
**Priority number(s):** FR19970010764 19970828

## Also published as:

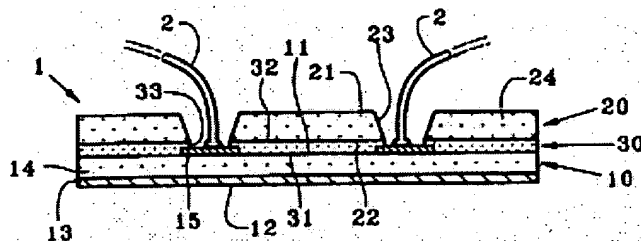
 EP1021833 (A1)  
 US6433439 (B1)  
 FR2767966 (A1)

## Cited documents:

 FR2727227  
 US5155068  
 US5476566

## Abstract of WO9912204

The invention concerns a device with security integrated circuit comprising an active layer (10) including a semiconductor material and circuits integrated with said semiconductor material and having, on its active face (11), contact pads (15), and a complementary layer (20) as well as a method for making such a device. the invention is characterised in that the active layer (10) is sealed to the complementary layer (20) by an intermediate layer (30) applied on the surface of its active face (10), and the active layer (10) is thinned at its surface (12) opposite its active face (11). The invention is applicable, for instance, to portable objects with integrated circuits in card format.



Data supplied from the **esp@cenet** database - Worldwide

(51) Classification internationale des brevets <sup>6</sup> : <b>H01L 23/58</b>	<b>A1</b>	(11) Numéro de publication internationale: <b>WO 99/12204</b> (43) Date de publication internationale: 11 mars 1999 (11.03.99)
--	-----------	---

(21) Numéro de la demande internationale: PCT/FR98/01761

(22) Date de dépôt international: 6 août 1998 (06.08.98)

(30) Données relatives à la priorité:  
97/10764 28 août 1997 (28.08.97) FR

(71) Déposant (pour tous les Etats désignés sauf US): SCHLUMBERGER INDUSTRIES [FR/FR]; 50, avenue Jean Jaurès, F-92120 Montrouge (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants (US seulement): BONVALOT, Béatrice [FR/FR]; 19, placette de la Sarriette, F-91440 Bures-sur-Yvette (FR). LEYDIER, Robert [FR/FR]; 5, allée des Planches, F-91400 Orsay (FR).

(74) Mandataire: MACQUET, Christophe; Schlumberger Industries, Test &amp; Transactions, Boîte postale 620-04, F-92542 Montrouge Cedex (FR).

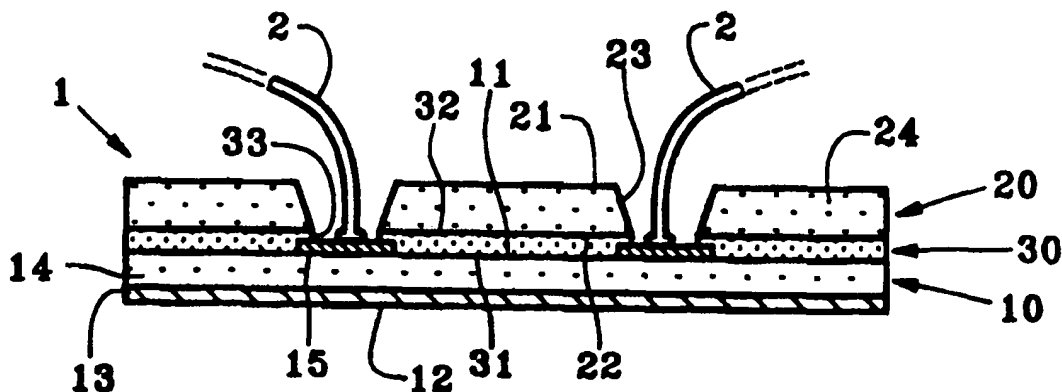
(81) Etats désignés: CN, JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Publiée

Avec rapport de recherche internationale.

(54) Title: DEVICE WITH SECURITY INTEGRATED CIRCUIT AND METHOD FOR MAKING SAME

(54) Titre: DISPOSITIF A CIRCUIT INTEGRE SECURISE ET PROCEDE DE FABRICATION



## (57) Abstract

The invention concerns a device with security integrated circuit comprising an active layer (10) including a semiconductor material and circuits integrated with said semiconductor material and having, on its active face (11), contact pads (15), and a complementary layer (20) as well as a method for making such a device. the invention is characterised in that the active layer (10) is sealed to the complementary layer (20) by an intermediate layer (30) applied on the surface of its active face (10), and the active layer (10) is thinned at its surface (12) opposite its active face (11). The invention is applicable, for instance, to portable objects with integrated circuits in card format.

(57) Abrégé

L'invention concerne un dispositif à circuit intégré sécurisé comprenant, d'une part, une couche active (10) comportant un matériau semi-conducteur ainsi que des circuits intégrés audit matériau semi-conducteur et présentant, à sa face active (11), des plots (15) de contact et, d'autre part, une couche complémentaire (20) ainsi qu'un procédé de fabrication d'un tel dispositif. L'invention se caractérise en ce que la couche active (10) est scellée à la couche complémentaire (20) par une couche intermédiaire (30) appliquée à la surface de la face active (11) de la couche active (10), et en ce que la couche active (10) est amincie à sa face (12) opposée à sa face active (11). L'invention s'applique, par exemple, au domaine des objets portables à circuits intégrés au format carte.

*UNIQUEMENT A TITRE D'INFORMATION*

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TM	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TR	Turquie
BG	Bulgarie	HU	Hongrie	MN	Mongolie	TT	Trinité-et-Tobago
BJ	Bénin	IE	Irlande	MR	Mauritanie	UA	Ukraine
BR	Brésil	IL	Israël	MW	Malawi	UG	Ouganda
BY	Bélarus	IS	Islande	MX	Mexique	US	Etats-Unis d'Amérique
CA	Canada	IT	Italie	NE	Niger	UZ	Ouzbékistan
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	VN	Viet Nam
CG	Congo	KE	Kenya	NO	Norvège	YU	Yougoslavie
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakhstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

## **DISPOSITIF A CIRCUIT INTEGRE SECURISE ET PROCEDE DE FABRICATION**

La présente invention concerne un dispositif à circuit intégré sécurisé comprenant, d'une part, une couche active comportant un  
5 matériau semi-conducteur ainsi que des circuits intégrés audit matériau semi-conducteur et présentant, à sa face active, des plots de contact et, d'autre part, une couche complémentaire. Elle concerne en outre un procédé de fabrication d'un tel dispositif.

L'invention s'applique de manière générale au domaine des  
10 circuits intégrés et, plus particulièrement, sans pour autant y être limité, au domaine des objets portables à circuit intégré au format carte ou cartes à mémoire.

Telles qu'elles sont réalisées actuellement, les cartes à mémoire se composent le plus souvent d'un corps de carte en matériau plastique  
15 dans une cavité duquel est inséré un module électronique. Ce module comprend un circuit intégré ainsi qu'un support dudit circuit intégré. Lorsque la carte est à fonctionnement à contacts, le circuit intégré est connecté à des plages du support du micromodule qui affleurent à la surface du corps de carte et, lorsque la carte est à fonctionnement sans  
20 contact, le circuit intégré est connecté aux bornes d'une antenne.

De telles cartes à mémoire sont destinées à la réalisation de diverses opérations telles que, par exemple, des opérations de paiement associées à l'obtention de chaînes télévisées cryptées, des opérations associées au domaine de la santé, des opérations de débit dans des  
25 véhicules de transport en commun, des opérations de téléphonie ou des opérations bancaires. Ces opérations s'effectuent en mode lecture ou en mode lecture/écriture grâce à un couplage électrique ou électromagnétique entre le micromodule de la carte et un lecteur.

En vue d'éviter ou, à tout le moins, de limiter les fraudes et/ou  
30 les atteintes aux libertés, de nombreux moyens ont été développés. Il

s'agit notamment de codes secrets, de clés de cryptage ou d'authentification ou de tables de conversion. Dans les cartes à microcontrôleurs, ces moyens, ainsi que les informations secrètes contenues dans la puce, sont essentiellement contenus dans les  
5 mémoires vives électriquement effaçables et programmables (EEPROM) et non volatiles (ROM) de la puce gérées par une unité centrale (CPU).

Il est parfois possible d'accéder aux informations secrètes contenues dans la puce en procédant à une analyse physique des circuits intégrés qu'elle comporte.

10 C'est la raison pour laquelle différentes techniques ont été développées en vue de sécuriser les circuits intégrés.

Certaines de ces techniques consistent à recouvrir la surface du circuit intégré, notamment la surface des plans mémoire dudit circuit, de couches de polymère et de métal. De par la nature en labyrinthes  
15 enchevêtrés de ces couches, il est difficile de reconnaître le routage effectif du circuit.

Le degré de sécurisation obtenu grâce à ces techniques n'est néanmoins pas absolu puisqu'il reste en effet quelquefois possible d'accéder aux circuits et aux informations qu'ils comportent en  
20 procédant par des attaques chimiques successives, sélectives des différentes couches.

D'autres techniques proposent de placer un second circuit intégré dit esclave au-dessus d'un circuit intégré maître à protéger et de connecter lesdits circuits intégrés de manière que leur séparation  
25 entraîne par exemple une perte irréversible des données sécurisées. Un tel dispositif, décrit dans le brevet français publié sous le numéro 2 727 227, est efficace dans des applications où ledit dispositif est toujours sous tension.

Considérant ce qui précède, un problème technique que se  
30 propose de résoudre l'invention est de limiter à moindres coûts et de

manière efficace les possibilités d'accès physique au circuit intégré d'un dispositif à circuit intégré sans pour autant nécessiter une alimentation permanente.

Une solution à ce problème, telle que proposée selon l'invention, a pour premier objet un dispositif à circuit intégré sécurisé comprenant, d'une part, une couche active comportant un matériau semi-conducteur ainsi que des circuits intégrés audit matériau semi-conducteur et présentant, à sa face active, des plots de contact et, d'autre part, une couche complémentaire, caractérisé en ce que la couche active est scellée à la couche complémentaire par une couche intermédiaire appliquée à la surface de la face active de la couche active, et en ce que la couche active est amincie à sa face opposée à sa face active.

Elle a pour second objet un procédé pour la fabrication d'un dispositif à circuit intégré sécurisé comprenant, d'une part, une couche active comportant un matériau semi-conducteur ainsi que des circuits intégrés audit matériau semi-conducteur et présentant, à sa face active, des plots de contact et, d'autre part, une couche complémentaire, caractérisé en ce que la couche active est scellée à la couche complémentaire par une couche intermédiaire appliquée à la surface de la face active de la couche active, et en ce que la couche active est amincie à sa face opposée à sa face active.

On obtient ainsi un dispositif à circuit intégré sécurisé en rendant critique la récupération de la face active par intrusion physique. De plus, l'épaisseur de l'ensemble couche active/couche complémentaire, c'est-à-dire du dispositif à circuit intégré sécurisé, est de l'ordre de celle d'un dispositif à circuit intégré classique, non sécurisé.

La description qui va suivre, et qui ne comporte aucun caractère limitatif, permettra de mieux comprendre la manière dont l'invention peut être mise en pratique.

Elle est rédigée au regard des dessins annexés, dans lesquels :

- la figure 1 montre, en coupe transversale, un dispositif selon l'invention ;

- la figure 2 montre, en perspective, une tranche à circuits intégrés munie d'une pluralité de dispositifs selon l'invention ;

5       - les figures 3A à 3F illustrent, en coupe transversale, les différentes étapes de réalisation d'une couche complémentaire d'un dispositif à circuit intégré sécurisé selon l'invention ;

10       - les figures 4A à 4C illustrent, en coupe transversale, les différentes étapes de préparation d'une couche active d'un dispositif à circuit intégré sécurisé selon l'invention ; et

- les figures 5A à 5D illustrent, en coupe transversale, les différentes étapes d'obtention du dispositif à circuit intégré sécurisé selon l'invention, à partir des couches réalisées selon les étapes illustrées aux figures 3A à 3F et 4A à 4C.

15       Ainsi que cela est montré à la figure 1, un dispositif 1 à circuit intégré sécurisé selon l'invention comporte deux couches principales, une couche active 10 amincie et une couche complémentaire 20, lesdites couches 10, 20 étant scellées l'une à l'autre par une couche intermédiaire 30.

20       La couche active 10 amincie comporte une face active 11 et une face 12 opposée à sa face active 11. La couche complémentaire 20 comporte une face de dessus 21 et une face de dessous 22.

25       Les couches 10 et 20 sont solidaires l'une de l'autre, scellées l'une à l'autre par la couche 30. Dans la convention utilisée dans les dessins, la couche active 10 amincie est placée au-dessous de la couche complémentaire 20, la face active 11 de la couche active 10 et la face de dessous 22 de la couche complémentaire 20 venant au contact des faces de dessous 31 et de dessus 32 de la couche 30, respectivement.

30       L'épaisseur de l'ensemble des couches 10, 20 et 30 superposées est avantageusement de l'ordre de celle d'un dispositif à circuit intégré

classique non sécurisé tel que commercialisé en tranches par les fondeurs, soit de l'ordre de 150  $\mu\text{m}$ . Cet ensemble peut donc être intégré sans difficulté dans un module destiné à la fabrication de cartes à mémoire. Il peut être même intégré tel quel dans des corps de carte,  
5 selon des procédés connus du type MOSAIC (marque déposée).

La couche active 10 amincie a une épaisseur comprise entre 5 et 50  $\mu\text{m}$ , par exemple de l'ordre de 10  $\mu\text{m}$ , soit une épaisseur bien inférieure à celle de la couche active d'un dispositif classique du type précité, portant les circuits intégrés. Elle se compose de différentes  
10 sous-couches superposées, éventuellement une sous-couche 13 et une sous-couche active 14.

La sous-couche 13, dont l'épaisseur est comprise entre 0,1 et 3  $\mu\text{m}$ , par exemple de l'ordre de 0,4  $\mu\text{m}$ , est constituée d'un matériau isolant, notamment de dioxyde de silicium ( $\text{SiO}_2$ ) dont l'une des  
15 fonctions est de limiter les courants de fuites au niveau des puits constitutifs des circuits. Cette sous-couche 13 peut cependant être constituée d'un autre matériau. Par exemple, elle peut être constituée par une épaisseur du substrat Silicium qui sera polarisée à un potentiel différent de celui de la sous-couche active 14 lors de l'amincissement.  
20 En définitive, la sous-couche 13 se démarque de la sous-couche active 14 au moins par une caractéristique physico-chimique.

La sous-couche active 14, placée immédiatement au-dessus de la sous-couche 13, a une épaisseur comprise entre 5 et 50  $\mu\text{m}$ , par exemple de l'ordre de 10  $\mu\text{m}$ . C'est une sous-couche épitaxiée sur  
25 laquelle sont intégrés les circuits électroniques. Cette sous-couche 14 comporte donc classiquement plusieurs épaisseurs imbriquées et sa surface se partage en différentes zones, en particulier des zones mémoire ROM et EEPROM qui mémorisent des informations secrètes que l'on souhaite protéger.



Des plots de contact métalliques 15 d'entrée/sortie affluent à la surface de la sous-couche active 14 ou sont excroissants de celle-ci.

La couche 30 de scellement est constituée d'un matériau isolant montrant une grande inertie au point de vue chimique et en particulier  
5 une forte insensibilité aux solvants classiques. Il s'agit notamment d'une couche d'un polyimide. Cette couche 30 montre des ouvertures 33 à l'aplomb des plots 15.

La couche complémentaire 20 a une épaisseur comprise entre 80 et 600  $\mu\text{m}$  selon que celle-ci a été amincie ou non. Elle est constituée  
10 d'un matériau solide, rigide, opaque, avantageusement un matériau semi-conducteur qui a la propriété de pouvoir être gravé ou usiné. Ce matériau semi-conducteur est préférentiellement le même que le matériau semi-conducteur constitutif de la sous-couche active 14 de la couche active 10, c'est-à-dire du Silicium notamment du Silicium  
15 minocristalin. De ce fait, il n'est pas possible de distinguer les couches 10 et 20 par leur réactivité physico-chimique. On notera que, compte tenu du fait que la couche active 10 amincie a une faible épaisseur, il devient critique que les matériaux constitutifs de la couche complémentaire 20 présentent des caractéristiques physiques  
20 identiques ou très voisines des caractéristiques physiques de la couche active amincie 10. Dans le cas contraire, différentes réactions physiques des couches 10 et 30 pourraient perturber l'intégrité physique du dispositif de l'invention. Par exemple, une différence de coefficient de dilatation thermique entre les couches 10 et 30 pourraient être à  
25 l'origine de microfissures de la couche 10 amincie rendant celle-ci particulièrement fragile sous l'effet d'une élévation de la température.

Par ailleurs, la couche 20 est percée de vias 23 ou de tout autres moyens destinés à permettre une connexion électrique avec les plots 15 notamment des trous métallisés. Dans le cas de vias simples, la  
30 connexion électrique est effectivement réalisée, dans le dispositif 1, par

des fils 2 conducteurs métalliques, par exemple des fils d'or ou d'aluminium.

Ainsi, dans le cas où un fraudeur viendrait à vouloir accéder aux circuits intégrés d'un dispositif sécurisé selon l'invention pour en  
5 déterminer l'architecture et pour en extraire les informations secrètes que ledit dispositif est susceptible de comporter, ledit fraudeur serait amené, par exemple, à tenter de séparer la couche complémentaire 20 de la couche active 10.

A cet effet, ce fraudeur pourrait appliquer, sur l'ensemble des  
10 couches 10, 20, des forces de tractions. Dans ce cas, la couche 10 amincie, considérablement fragilisée, se briserait en de multiples endroits ce qui rendrait la détermination de l'architecture des circuits et l'extraction des informations secrètes impossible.

Le fraudeur pourrait par ailleurs tenter de dégrader la couche  
15 complémentaire 20 puis la couche de scellement 30. Etant donné que cet agent de scellement est avantageusement résistant aux solvants classiques, ledit fraudeur serait conduit à utiliser, pour dégrader lesdites couches 20 et 30, des bases ou des acides forts. Or, de telles bases détruisent le Silicium, non seulement celui de la couche  
20 complémentaire 20, mais aussi, celui de la couche active 10. Les acides forts détruisent quant à eux les métaux constitutifs des pistes formant les circuits intégrés. La détermination de l'architecture des circuits intégrés et l'extraction des informations serait donc, là aussi, interdite.

Il en irait de même pour des méthodes d'intrusion optiques. A ce  
25 sujet, on notera que la couche complémentaire 20 constitue une barrière efficace aux rayons ultra-violets (UV) ou infra-rouges (IR) et empêche de ce fait une éventuelle perturbation des circuits due à la lumière UV ou IR.

Pour la fabrication d'un dispositif 1 selon l'invention, on réalise la  
30 couche complémentaire 20, on applique, sur une couche active 10 non

amincie du type montrée en figure 4C, l'agent de scellement, on scelle la couche 20 à la couche 10 revêtue de l'agent de scellement et, dans une étape ultérieure, on amincit la couche 10 scellée.

Pour des raisons de simplicité, les étapes de fabrication d'un dispositif sécurisé selon l'invention sont principalement décrites au regard d'un unique dispositif 1, c'est-à-dire d'une puce. En pratique, ces étapes sont toutefois avantageusement mises en oeuvre par lots sur des tranches de Silicium. Il s'agit, en ce qui concerne la préparation de la couche active 10, de tranches de Silicium 3 ("wafer" selon la terminologie anglo-saxonne) comportant une pluralité de dispositifs à circuit intégré 4 placés côte-à-côte (figure 2) et, en ce qui concerne la réalisation des couches complémentaires 20, de tranches de Silicium sensiblement au même format mais ne comportant pas de circuits intégrés. En procédant par tranches, on obtient en effet rapidement un grand nombre de dispositifs à circuits intégrés sécurisés. Aussi, cette mise en oeuvre qui, on le notera, n'exige pas de modification préalable de la part des fondeurs, constitue un avantage certain de l'invention.

Pour la réalisation de la couche complémentaire 20, on procède selon les étapes illustrées aux figures 3A à 3F.

Dans une première étape, un substrat 24 semi-conducteur, notamment une plaquette de Silicium d'une épaisseur de l'ordre de 400  $\mu\text{m}$  (figure 3A), est soumise à une oxydation et, éventuellement, à une nitruration. Cette plaquette 24 montre alors, à sa périphérie, une couche d'oxyde 25 et, éventuellement, une couche de nitrure (figure 3B).

On dépose ensuite, sur l'une des faces oxydées de la plaquette 24, une couche photosensible 26 (figure 3C).

Cette couche photosensible 26 est alors insolée au travers d'un masque, les éléments de surface insolés de ladite couche 26 laissant place à des ouvertures 27 (figure 3D).

Il est alors possible de dégrader sélectivement la couche d'oxyde 25 aux endroits qui ne sont pas protégés par la couche photosensible 26, c'est-à-dire, notamment, à l'endroit des ouvertures 27 et, éventuellement, sur la face de la plaquette 24 opposée à la face portant  
5 lesdites ouvertures 27 (figure 3E).

En vue d'obtenir la couche 20 (figure 3F), la plaquette 24 de la figure 3E est ensuite usinée. Cet usinage se fait par des techniques de gravure sèche ou humide. Il permet de réaliser, aux endroits des ouvertures 27 précitées, les vias 23. Il permet par ailleurs de procéder  
10 simultanément à un amincissement de ladite plaquette 24 jusqu'à une épaisseur de l'ordre de 100  $\mu\text{m}$  voire 80  $\mu\text{m}$ .

Parallèlement aux étapes décrites ci-dessus, on applique l'agent de scellement sur une couche active 10 non amincie.

Cette couche active 10 non amincie présente, telle que montrée à  
15 la figure 4A, une sous-couche 16 de silicium. En fait, eu égard à la présence, au sein de la couche 10 non amincie, de la sous-couche de  $\text{SiO}_2$ , l'ensemble des couches 16, 13, 14 forme un substrat du type SOI (« Silicium On Insulator » selon la terminologie anglo-saxonne) où les circuits sont implantés dans une zone isolée de la masse de Si par la  
20 couche d'oxyde.

L'agent de scellement polymérique est appliqué, à la surface de la face active 11 de la couche active 10 non amincie, sous une forme visqueuse. Il forme alors la couche 30 qui recouvre les plots 15 (figure 4B).

25 Dans le cas avantageux où l'agent de scellement est photosensible, il est directement insolé au travers d'un masque. Les ouvertures 33 sont ainsi ménagées et dégagent, au moins partiellement, la surface des plots 15 (figure 4C). Dans le cas contraire, il est alors nécessaire d'appliquer, à la surface de la couche de scellement 30, une

couche photosensible et d'ouvrir ladite couche photosensible à la manière décrite en référence aux figures 3C à 3E.

Enfin, on procède, selon l'invention, aux étapes qui vont conduire à la sécurisation du dispositif selon l'invention. Ces étapes sont  
5 illustrées aux figures 5A à 5E.

On place tout d'abord la couche complémentaire 20 de la figure 3F à la surface de l'ensemble des couches 10, 30 de la figure 4C de manière que les vias 23 soient positionnées à la verticale des plots 15.

Puis, on scelle la couche 20 à la couche 10 non amincie par  
10 thermo-compression. En pratique, on applique à cet effet auxdites couches 10 et 20 superposées, d'une part, une température de l'ordre de 300 °C et inférieure à la température de 400 °C environ qui correspond en définitive à la température limite que peuvent supporter les pistes d'aluminium formant les circuits intégrés et, d'autre part, une  
15 pression de l'ordre de 10 bars.

Puis, en vue d'amincir la couche 10, on protège avantageusement l'ensemble 10, 20, 30 scellé par un bloc de protection mécanique 40 que l'on applique à la face supérieure dudit ensemble, à la surface de la couche 20 et au creux des vias 23 (figure 5B). Il est alors tout à fait  
20 possible d'usiner la face arrière de la couche 10 de manière à amincir l'ensemble scellé jusqu'à une épaisseur de l'ordre de 150 µm, soit une épaisseur sensiblement égale à l'épaisseur d'un dispositif classique non sécurisé de l'état de la technique. Bien entendu, l'amincissement est calculé de manière que la sous-couche active ne subisse pas d'usinage.  
25 La présence de la couche 13 permet d'ailleurs de garantir un arrêt de l'usinage et un contrôle précis de l'épaisseur de la zone active, indépendamment des caractéristiques du parallélisme des deux faces de la tranche à circuits intégrés.

Une fois que l'on a procédé à l'usinage, il est alors possible de  
30 retirer la protection 40 (figure 5D).

Les fils 2 sont ensuite connectés aux plots 15 selon l'une des méthodes classiques connues ("wire bonding" ou "wedge bonding" notamment selon la terminologie anglo-saxonne).

Bien entendu, dans le cas où le procédé de l'invention est mis en oeuvre sur une tranche à circuits intégrés, les étapes de bonding sont précédées d'une découpe des dispositifs sécurisés de la tranche et, par exemple, d'un report desdits dispositifs sur une bande métallisée ("lead frame" selon la terminologie anglo-saxonne) et suivie d'un enrobage de résine avant que le module soit reporté dans un corps de carte.

**REVENDEICATIONS**

1. Dispositif à circuit intégré sécurisé comprenant, d'une part, une couche active (10) comportant un matériau semi-conducteur ainsi que des circuits intégrés audit matériau semi-conducteur et présentant,  
5 à sa face active (11), des plots (15) de contact et, d'autre part, une couche complémentaire (20), caractérisé en ce que la couche active (10) est scellée à la couche complémentaire (20) par une couche intermédiaire (30) appliquée à la surface de la face active (11) de la couche active (10) et en ce que la couche active (10) est amincie à sa  
10 face (12) opposée à sa face active (11).

2. Dispositif selon la revendication 1, caractérisé en ce que l'épaisseur de la couche active (10) amincie est comprise entre 5 et 50  $\mu\text{m}$ .

3. Dispositif selon l'une des revendications 1 ou 2, caractérisé en  
15 ce que la couche complémentaire (20) comporte un matériau semi-conducteur.

4. Dispositif selon la revendication 3, caractérisé en ce que le matériau semi-conducteur est du Silicium.

5. Dispositif selon l'une des revendications précédentes,  
20 caractérisé en ce que la couche complémentaire (20) est percée de vias (23) ou de tous autres moyens destinés à permettre une connexion électrique avec les plots (15).

6. Dispositif selon l'une des revendications précédentes, caractérisé en ce que la couche active (10) présente, à sa face (12)  
25 opposée à sa face active (11), une sous-couche (13) qui se démarque de la sous-couche active (14) par au moins une caractéristique physico-chimique.

7. Dispositif selon la revendication 6, caractérisé en ce que la sous-couche (13) est une sous-couche de dioxyde de Silicium.

8. Tranche de matériau semi-conducteur, caractérisée en ce qu'elle est munie d'une pluralité de dispositifs selon l'une des revendications précédentes.

9. Procédé pour la fabrication d'un dispositif à circuit intégré  
5 sécurisé comprenant, d'une part, une couche active (10) comportant un matériau semi-conducteur ainsi que des circuits intégrés audit matériau semi-conducteur et présentant, à sa face active (11), des plots (15) de contact et, d'autre part, une couche complémentaire (20), caractérisé en ce que la couche active (10) est scellée à la couche  
10 complémentaire (20) par une couche intermédiaire (30) appliquée à la surface de la face active (11) de la couche active (10) et en ce que la couche active (10) est amincie à sa face (12) opposée à sa face active (11).



1/4

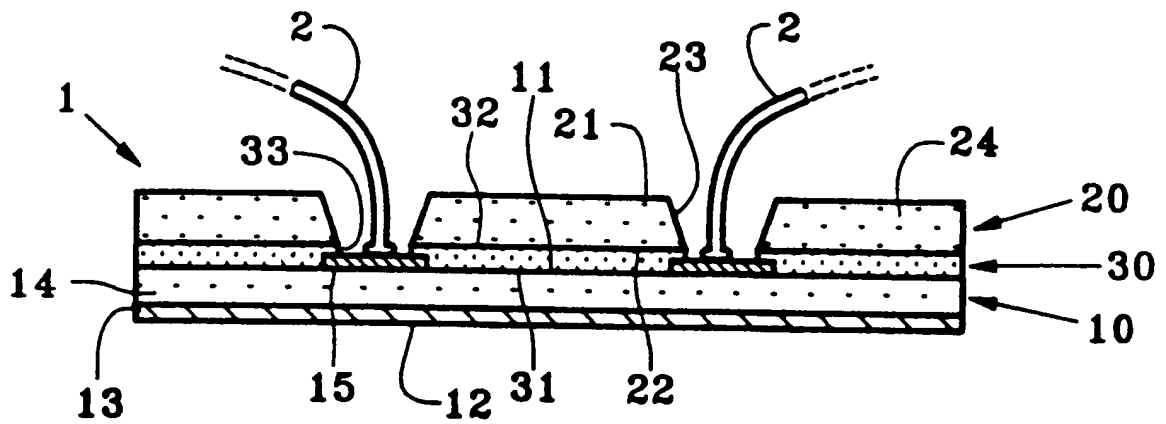


FIG.1

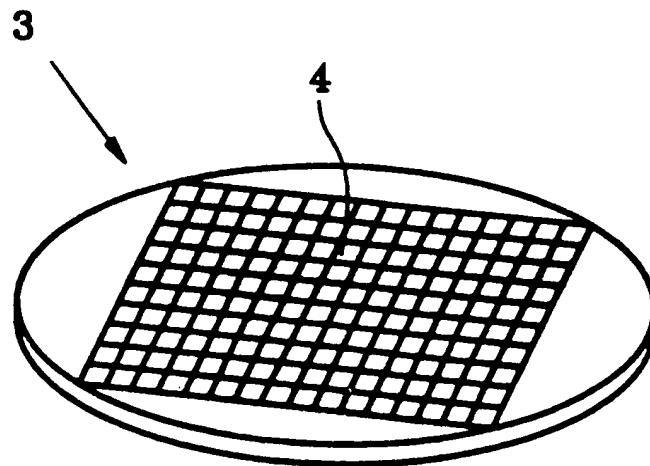


FIG.2

2/4

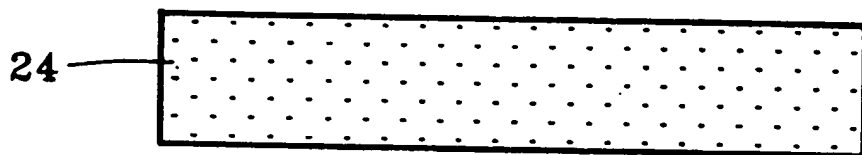


FIG. 3A

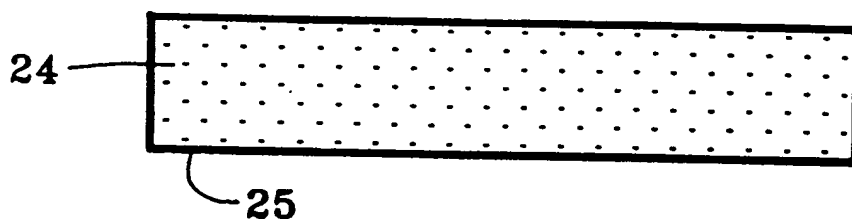


FIG. 3B

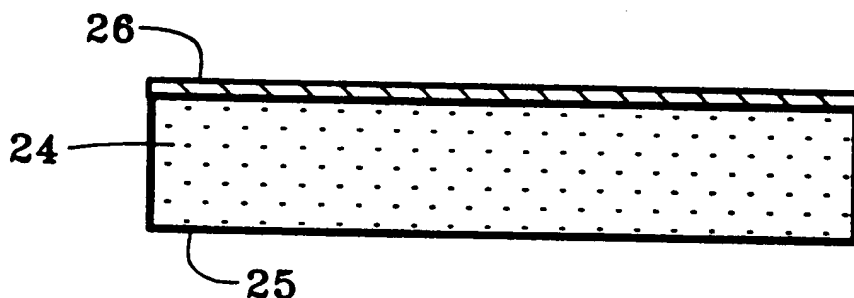


FIG. 3C

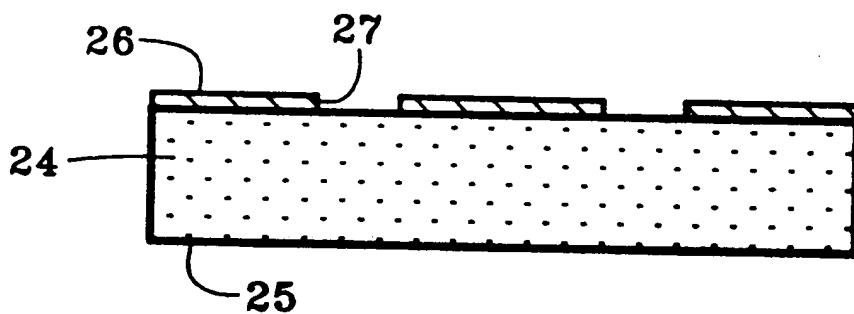


FIG. 3D

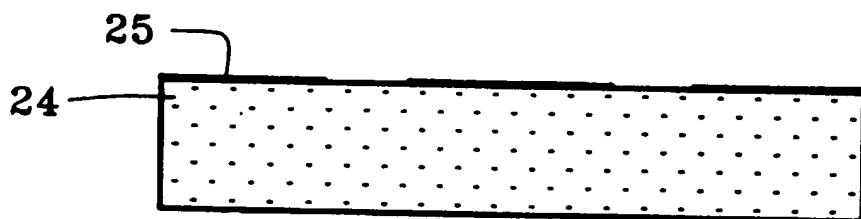


FIG. 3E

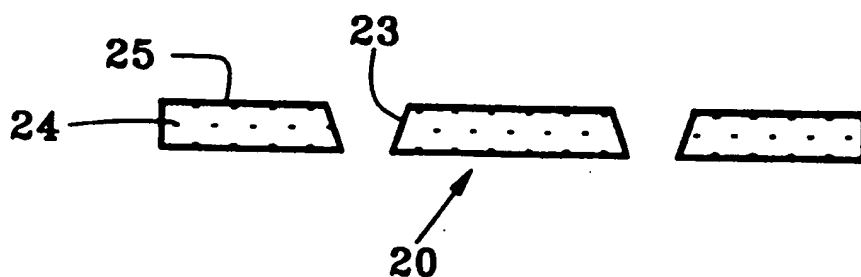
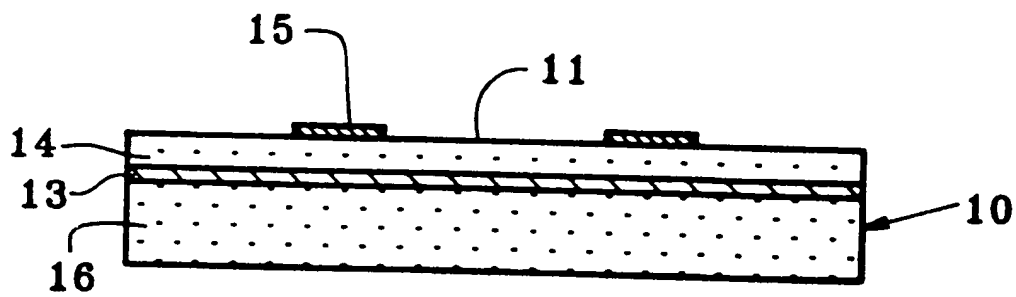
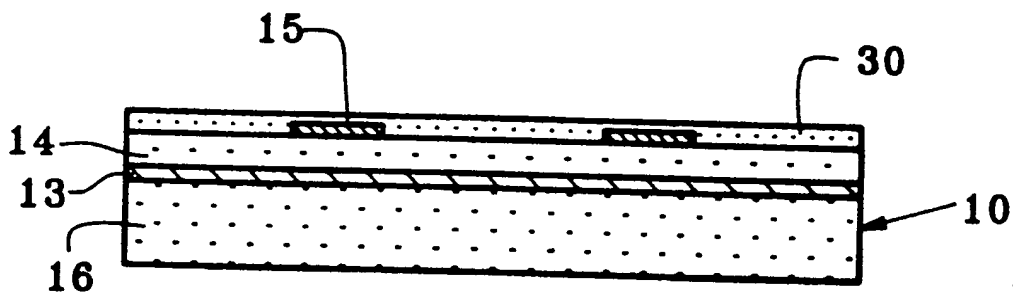


FIG. 3F

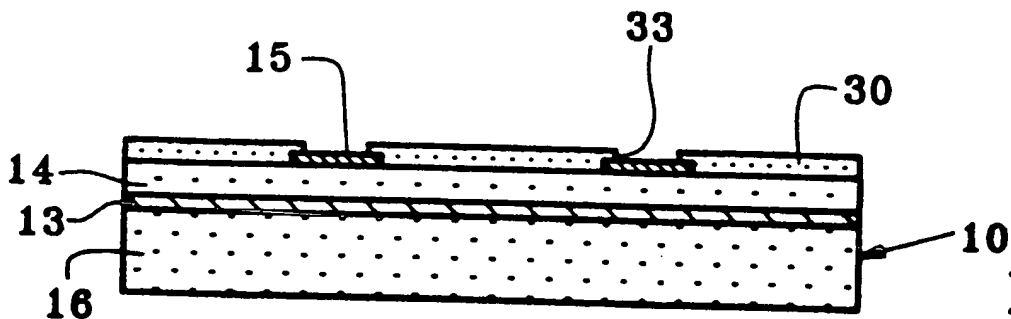
3/4



**FIG.4A**

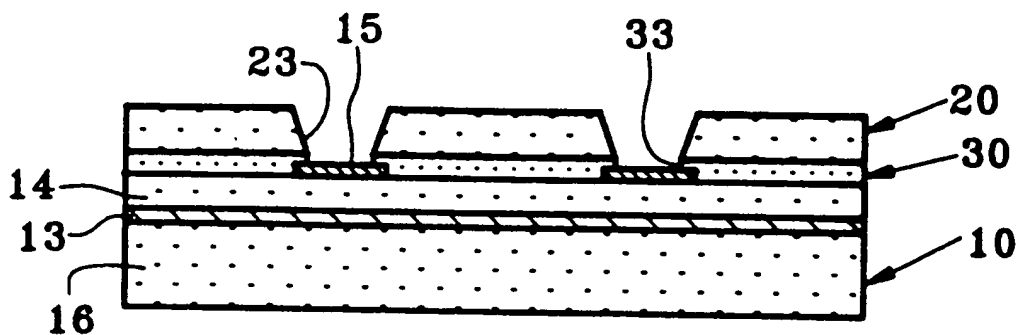


**FIG.4B**

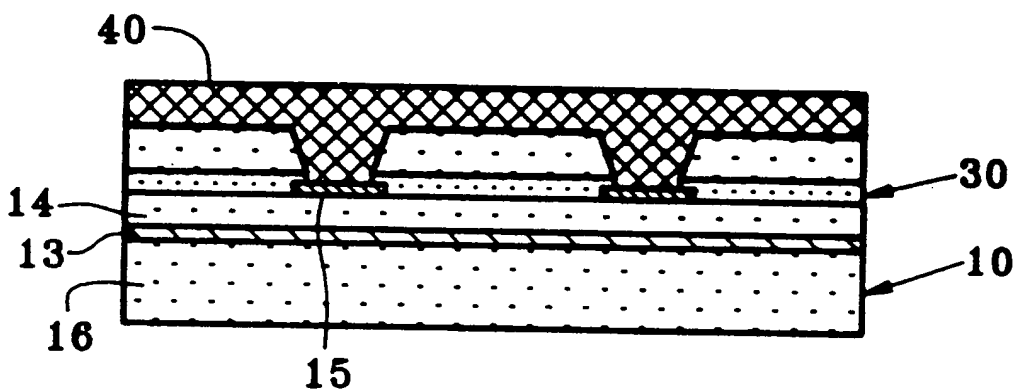


**FIG.4C**

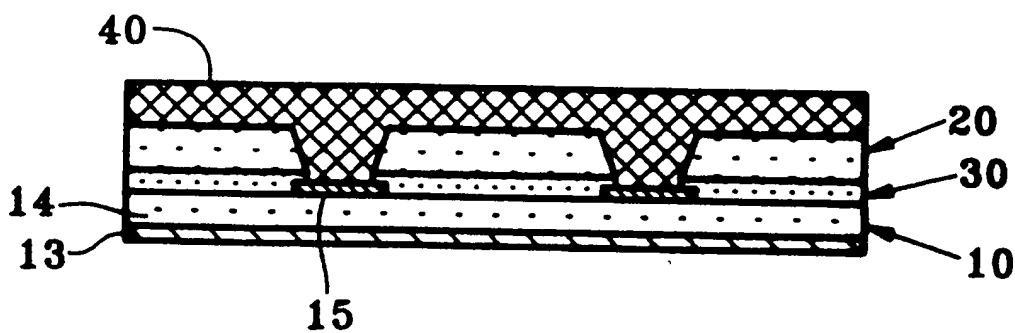
4/4



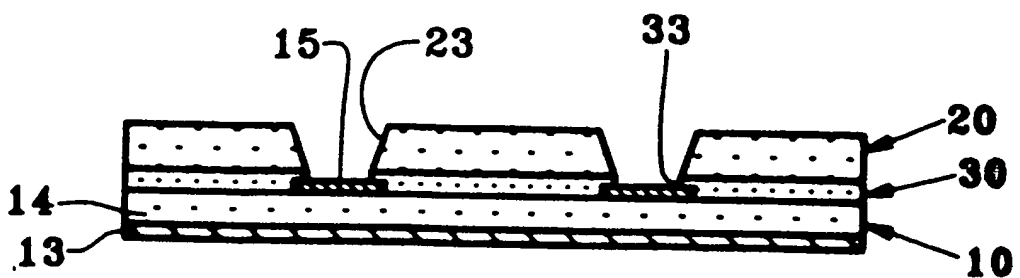
**FIG. 5A**



**FIG. 5B**



**FIG. 5C**



**FIG. 5D**

PCT/FR 98/01761

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 6 H01L23/58

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	FR 2 727 227 A (SCHLUMBERGER IND SA) 24 May 1996 cited in the application see the whole document	1
X	US 5 155 068 A (TADA NOBURU) 13 October 1992 see the whole document	1-3,9
X	US 5 476 566 A (CAVASIN DANIEL) 19 December 1995	8,9
A	see claim 1	1



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

1 December 1998

Date of mailing of the international search report

08/12/1998

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Zeisler, P

Information on patent family members

International Application No

PCT/FR 98/01761

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
FR 2727227	A	24-05-1996	FR 2727226 A	24-05-1996
			DE 69504208 D	24-09-1998
			EP 0792497 A	03-09-1997
			WO 9616378 A	30-05-1996
			JP 10509260 T	08-09-1998
US 5155068	A	13-10-1992	JP 3087299 A	12-04-1991
US 5476566	A	19-12-1995	NONE	

A. CLASSEMENT DE L'OBJET DE LA DEMANDE  
CIB 6 H01L23/58

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)  
CIB 6 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	FR 2 727 227 A (SCHLUMBERGER IND SA) 24 mai 1996 cité dans la demande voir le document en entier ---	1
X	US 5 155 068 A (TADA NOBURU) 13 octobre 1992 voir le document en entier ---	1-3,9
X	US 5 476 566 A (CAVASIN DANIEL) 19 décembre 1995 voir revendication 1 -----	8,9
A		1

☐ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

- "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- "E" document antérieur, mais publié à la date de dépôt international ou après cette date
- "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

1 décembre 1998

Date d'expédition du présent rapport de recherche internationale

08/12/1998

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Zeisler, P

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
FR 2727227 A	24-05-1996	FR 2727226 A	24-05-1996
		DE 69504208 D	24-09-1998
		EP 0792497 A	03-09-1997
		WO 9616378 A	30-05-1996
		JP 10509260 T	08-09-1998
US 5155068 A	13-10-1992	JP 3087299 A	12-04-1991
US 5476566 A	19-12-1995	AUCUN	